

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-030750

(43)Date of publication of application : 02.02.1996

(51)Int.Cl.

G06K 19/07
G06F 12/06

(21)Application number : 06-161851

(71)Applicant : SONY CORP

(22)Date of filing : 14.07.1994

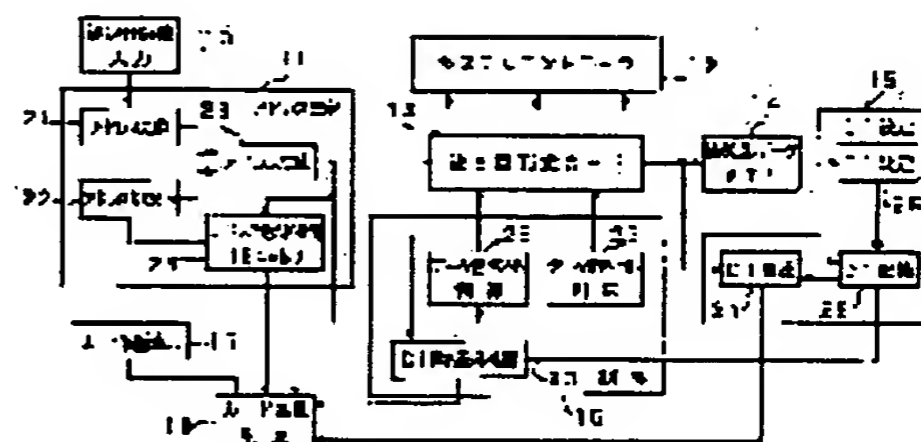
(72)Inventor : NAKANE TOSHIHIDE

(54) METHOD AND DEVICE FOR JUDGING CAPACITY OF MEMORY CARD

(57)Abstract:

PURPOSE: To easily judge a memory capacity even for a memory card or the like on a manufacturing line to which card attribute information is not recorded yet by judging the capacity of the memory card based on an address where read is performed when read data and specified data match.

CONSTITUTION: Without accessing the entire memory space within the memory card, the data are read from the memory area of the memory card at every prescribed address interval, the specified data which do not appear in the entire data read at every prescribed address interval are set and thereafter, the read data and the specified data are successively compared. That is, a D1 detection circuit 27 compares the read data with the specified data stored in a D1 storage circuit 26. Then, when both do not match, the specified data are written in the address where the read is performed. Thus, the address where the read is performed when the read data and the specified data match corresponds to the capacity of the memory card.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's

decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平8-30750

(43)公開日 平成8年(1996)2月2日

(51)Int.Cl.⁶

識別記号

庁内整理番号

F I

技術表示箇所

G 0 6 K 19/07

G 0 6 F 12/06

5 1 0 C 7623-5B

G 0 6 K 19/ 00

N

審査請求 未請求 請求項の数8 O L (全 9 頁)

(21)出願番号 特願平6-161851

(22)出願日 平成6年(1994)7月14日

(71)出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72)発明者 中根 敏秀

東京都品川区北品川6丁目7番35号 ソニー株式会社内

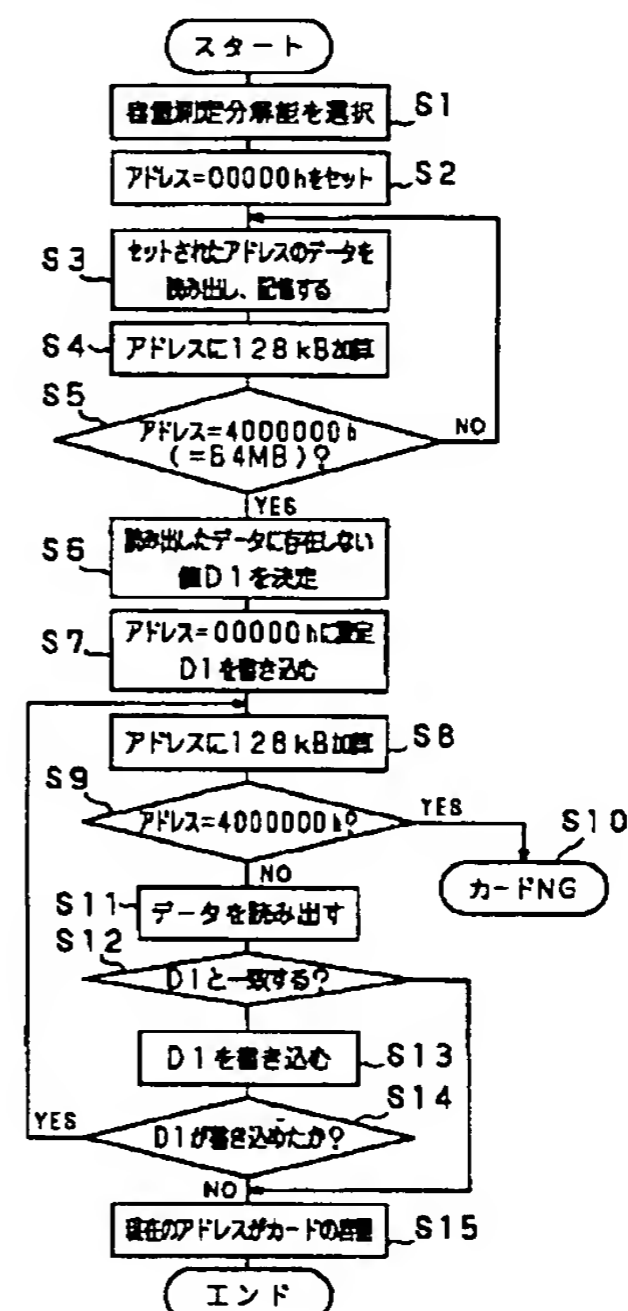
(74)代理人 弁理士 小池 晃 (外2名)

(54)【発明の名称】 メモリカードの容量判定方法及び装置

(57)【要約】

【構成】 メモリカードから例えば128kB毎にデータを読み出し(ステップS1～ステップS5)、このアドレス間隔毎に読み出した全データに出現しない特定データD1を設定し(ステップS6)、その後、読み出したデータと特定データD1とを順次比較し(ステップS12)、読み出したデータと特定データD1とが一致しないときに、その読み出しを行ったアドレスに特定データD1を書き込み(ステップS13)、一致したときのその読み出しを行ったアドレスに基づいてメモリカードの容量を判定する(ステップS15)。

【効果】 製造ライン上で未だカード属性情報を記録していないメモリカードや、ユーザが誤ってカード属性情報を消去してしまったメモリカードであっても、容易にメモリ容量を判定できる。



【特許請求の範囲】

【請求項 1】 メモリカードのメモリ領域から所定のアドレス間隔毎にデータを読み出し、

上記所定のアドレス間隔毎に読み出した全データに出現しない特定データを設定した後、

上記メモリ領域の所定のアドレス間隔毎にデータを読み出して順次上記特定データと比較し、読み出したデータと上記特定データとが一致しないときに当該読み出しを行ったアドレスに上記特定データを書き込み、読み出したデータと上記特定データとが一致したときの当該読み出しを行ったアドレスに基づいて、メモリカードの容量を判定することを特徴とするメモリカードの容量判定方法。

【請求項 2】 上記メモリ領域から所定のアドレス間隔毎に読み出したデータを記憶することを特徴とする請求項 1 記載のメモリカードの容量判定方法。

【請求項 3】 上記所定のアドレス間隔は、メモリカードの最大メモリ容量に応じた全アドレスに対して割り切れる間隔とすることを特徴とする請求項 1 又は 2 に記載のメモリカードの容量判定方法。

【請求項 4】 上記読み出しを行ったアドレスのメモリ領域への上記特定データの書き込みが不能となったときに、当該アドレスに基づいてメモリカードの容量を判定することを特徴とする請求項 1 から請求項 3 のうちのいずれか 1 項に記載のメモリカードの容量判定方法。

【請求項 5】 所定のアドレス間隔毎にアドレス情報を設定するアドレス設定手段と、

上記アドレス設定手段で設定した所定のアドレス間隔毎のアドレス情報に基づいてメモリカードのメモリ領域からデータを読み出す読み出し手段と、

上記所定のアドレス間隔毎に上記読み出した全データに出現しない特定データを設定する特定データ設定手段と、

上記読み出し手段によって上記メモリ領域の所定のアドレス間隔毎に読み出されたデータを順次上記特定データと比較する比較手段と、

上記比較手段での比較において上記読み出したデータと上記特定データとが一致しないときには当該読み出しを行ったアドレスに上記特定データを書き込む書き込み手段と、

上記比較手段での比較において上記読み出したデータと上記特定データとが一致したときには当該読み出しを行ったアドレスに基づいて、メモリカードの容量を判定する判定手段とを有することを特徴とするメモリカードの容量判定装置。

【請求項 6】 上記読み出し手段によって上記メモリ領域から所定のアドレス間隔毎に読み出したデータを記憶する記憶手段を設けることを特徴とする請求項 5 記載のメモリカードの容量判定装置。

【請求項 7】 上記アドレス設定手段は、上記所定のア

ドレス間隔として、メモリカードの最大メモリ容量に応じた全アドレスに対して割り切れる間隔を設定することを特徴とする請求項 5 又は 6 に記載のメモリカードの容量判定装置。

【請求項 8】 上記メモリ領域への上記特定データの書き込みを確認する確認手段を設け、

上記読み出しを行ったアドレスのメモリ領域への上記特定データの書き込みが不能であると上記確認手段が検出したときに、上記判定手段は、当該アドレスに基づいてメモリカードの容量を判定することを特徴とする請求項 5 から請求項 7 のうちのいずれか 1 項に記載のメモリカードの容量判定装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、例えばいわゆるメモリカードの容量を判定するメモリカードの容量判定方法及び装置に関する。

【0002】

【従来の技術】 従来より、いわゆるメモリカードは、カード状のケース内にメモリコントローラと例えば半導体メモリとを配してなり、上記半導体メモリに格納されている各種データやプログラム等の読み出し（又は書き込み及び読み出し）制御を、上記メモリコントローラが外部からの要求等に応じて行うようになっている。

【0003】 上記半導体メモリとして例えばスタティック RAM（スタティク・ランダム・アクセス・メモリ、以下 SRAM とする）を用いたメモリカードの構成は、図 4 のようなものが存在する。

【0004】 この図 4 に示すメモリカード 1 には、複数のメモリセルからなる SRAM 3 と、外部装置との接続のためのコネクタ 6 と、このコネクタ 6 を介して外部装置との間でデータやアドレス等の各種情報の送受を行うと共に上記 SRAM 3 へのデータの書き込み／読み出しを制御するメモリコントローラ 2 とが主要構成要素として配されている。また、これら主要構成要素の他には、例えば、SRAM 3 へ誤って書き込みがなされないようにするためのライトプロテクトスイッチ 5 や、バックアップのためのバックアップ制御部 4 が設けられている。さらに、メモリコントローラ 2 には、アドレスバスを介して供給されるアドレス情報を内部の SRAM 3 用のアドレスデータにデコードするアドレスデコーダ 7 が設けられている。

【0005】 なお、図 4 の図中 CE はカードイネーブル信号の入力端子であり、当該カードイネーブル信号はメモリカードを活性化するカード選択用のローアクティブの信号である。また、図中 OE はアウトプットイネーブル信号の入力端子であり、当該アウトプットイネーブル信号はデータの出力を制御するローアクティブ（データ書き込み中は非アクティブにする）の信号である。図中 WE はライトイネーブル信号の入力端子で、当該ライト

イネーブル信号はデータの書き込みを制御するローアクティブの信号である。図中WPはライトプロテクト信号の出力端子で、上記ライトプロテクトスイッチ5がオンのとき”Hレベル”となり、この間はコマンドも含めて新しいデータを書き込むことはできない。図中REGはアトリビュートメモリセレクト信号の入力端子であり、当該アトリビュートメモリセレクト信号は”Lレベル”にするとアトリビュートメモリ空間が選択される。図中BVD1、BVD2は電池電圧検出用信号の出力端子であり、当該電池電圧検出用信号はバックアップ用一次電池の電圧状態を示す信号である。図中CD1、CD2はカード検出信号の出力端子でありカード内部でグランド(GND)に接続されていて、システム側でカードの挿入/抜去を検出するのに用いられる。その他、図中Vccはカードの動作電源端子で、図中GNDは接地端子である。

【0006】

【発明が解決しようとする課題】ところで、上述したようなメモリカード内のメモリ空間には、カード属性情報(CIS: Card Information Structure)と呼ばれるデータ列が格納されている。このカード属性情報には、メモリ容量をはじめ、メモリカードを動作させるのに必要なパラメータが記述されている。

【0007】上記カード属性情報は、メモリカードシステムにおいて重要であり、したがって、上記カード属性情報の欠落したメモリカード、すなわち例えば製造ライン上で未だカード属性情報を記録していないメモリカードや、ユーザが誤ってカード属性情報を消去してしまったメモリカードは、通常のメモリカードシステムでは使用できない。

【0008】また、一般的なメモリカードにおいては、メモリコントローラ2を簡略化するため、1つのメモリセルに対して複数のアドレスが割り当てられている。したがって、例えば、単純にあるアドレスに割り当てられたメモリセルの読み書きができるかどうかで、メモリ容量の判定を行うことはできない。すなわち、例えば、A0~A25で表されるアドレス情報が供給され、A23~A25の上位アドレスビットをアドレスデコードに使用しないような8メガバイト(MB)のメモリカードの場合のメモリマップは、図5に示すようになり、上記A0~A22で表される領域はアドレス”000000h”から”7FFFFFFh”となるが、ここでアドレス”800000h”, ”1000000h”, ...をアクセスすると、無効データの代わりに、アドレス”000000h”のデータが読み出されてしまうようになる。したがって、上記単純にあるアドレスに割り当てられたメモリセルの読み書きができるかどうかでメモリ容量の判定を行う方法をとると、全てのメモリカードを例えば64MBのフル容量と誤認識してしまうことになる。

【0009】そこで、本発明は、上述のような実情に鑑みて提案されたものであり、製造ライン上で未だカード属性情報を記録していないメモリカードや、ユーザが誤ってカード属性情報を消去してしまったメモリカードであっても、容易にメモリ容量を判定できるメモリカードの容量判定方法及び装置を提供することを目的とするものである。

【0010】

【課題を解決するための手段】本発明は上述した目的を達成するために提案されたものであり、メモリカードのメモリ領域から所定のアドレス間隔毎にデータを読み出し、上記所定のアドレス間隔毎に読み出した全データに出現しない特定データを設定した後、上記メモリ領域の所定のアドレス間隔毎にデータを読み出して順次上記特定データと比較し、読み出したデータと上記特定データとが一致しないときに当該読み出しを行ったアドレスに上記特定データを書き込み、読み出したデータと上記特定データとが一致したときの当該読み出しを行ったアドレスに基づいて、メモリカードの容量を判定することを特徴とする。

【0011】ここで、本発明のメモリカードの容量判定方法では、上記メモリ領域から所定のアドレス間隔毎に読み出したデータを記憶する。また、上記所定のアドレス間隔は、メモリカードの最大メモリ容量に応じた全アドレスに対して割り切れる間隔とする。さらに、本発明のメモリカードの容量判定方法では、上記読み出しを行ったアドレスのメモリ領域への上記特定データの書き込みが不能となったときにも、当該アドレスに基づいてメモリカードの容量を判定する。

【0012】次に、本発明のメモリカードの容量判定装置は、所定のアドレス間隔毎にアドレス情報を設定するアドレス設定手段と、上記アドレス設定手段で設定した所定のアドレス間隔毎のアドレス情報に基づいてメモリカードのメモリ領域からデータを読み出す読み出し手段と、上記所定のアドレス間隔毎に上記読み出した全データに出現しない特定データを設定する特定データ設定手段と、上記読み出し手段によって上記メモリ領域の所定のアドレス間隔毎に読み出されたデータを順次上記特定データと比較する比較手段と、上記比較手段での比較において上記読み出したデータと上記特定データとが一致しないときには当該読み出しを行ったアドレスに上記特定データを書き込む書き込み手段と、上記比較手段での比較において上記読み出したデータと上記特定データとが一致したときには当該読み出しを行ったアドレスに基づいて、メモリカードの容量を判定する判定手段とを有することを特徴とする。

【0013】ここで、本発明のメモリカードの容量判定装置には、さらに上記読み出し手段によって上記メモリ領域から所定のアドレス間隔毎に読み出したデータを記憶する記憶手段を設ける。また、上記アドレス設定手段

は、上記所定のアドレス間隔として、メモ리카ードの最大メモリ容量に応じた全アドレスに対して割り切れる間隔を設定する。さらに、本発明のメモ리카ードの容量判定装置には、上記メモリ領域への上記特定データの書き込みを確認する確認手段をも設け、上記読み出しを行ったアドレスのメモリ領域への上記特定データの書き込みが不能であると上記確認手段が検出したときに、上記判定手段は、当該アドレスに基づいてメモ리카ードの容量を判定するようにもしている。

【0014】

【作用】本発明によれば、メモ리카ード内の全メモリ空間をアクセスするのではなく、メモ리카ードのメモリ領域から所定のアドレス間隔毎にデータを読み出し、これら所定のアドレス間隔毎に読み出した全データに出現しない特定データを設定し、その後、メモリ領域の所定のアドレス間隔毎にデータを読み出して順次特定データと比較し、読み出したデータと特定データとが一致しないときにその読み出しを行ったアドレスに特定データを書き込んでいくようにする。これにより、読み出したデータと特定データとが一致するようになったときのその読み出しを行ったアドレスは、メモ리카ードの容量と対応する。

【0015】

【実施例】以下、図面を参照し、本発明の実施例について詳述する。

【0016】図1には本発明のメモ리카ードの容量判定方法による容量判定処理の流れを示す。本発明のメモ리카ードの容量判定方法は、例えば前記図4に示すようなメモ리카ード1の製造ライン等における当該メモ리카ード1の検査、測定装置、プログラム装置等の測定ターゲットとなるメモ리카ード1のメモリ容量を自動設定する際や、一般用途向けのメモ리카ードスロットを持つ機器において、前記カード属性情報が消滅したメモ리카ード1のメモリ容量を自動認識する際に使用される容量判定方法である。また、図2には、本発明のメモ리카ードの容量判定方法についての説明に用いるメモ리카ードのメモリマップを示している。なお、以下の例では、メモ리카ードの容量が512キロバイト(kB)であった場合について説明する。

【0017】先ず、図1において、ステップS1ではメモ리카ードの容量を測定する際の容量測定分解能を選択する。この容量測定分解能としては、例えば8kB、16kB、32kB、64kB、128kB等を挙げることができる。なお、これらの容量測定分解能には、現在市販されているメモ리카ードの全メモリ容量(64MB)に対して割り切れる値を使用することが好ましく、また、容量測定に要する時間を考慮して本実施例では上記容量測定分解能を128kBとしている。すなわち、上記割り切れる値を使用することでメモリ容量の判定時の誤差を少なくし(割り切れない余りを無くす)、ま

た、例えば128kBとすることで容量判定に要する時間を短縮することができる。

【0018】次に、ステップS2ではメモ리카ードの例えばSRAMに対するアドレスを先頭の"00000h"にセットし、ステップS3では当該セットされたアドレスのデータをメモ리카ードから読み出し、これを記憶する。

【0019】ステップS4とステップS5では、既にセットされたアドレスに128kB分のアドレスを加算し、このアドレスが例えば上記64MB分に対応する"4000000h"まで来たか否かの判断を行い、アドレスが未だ"4000000h"まで来ていないときには、ステップS3に戻る処理を繰り返す。なお、上記64MBは、さらに大きなものであってもよく、この場合は当該アドレスも大きいものとなる。

【0020】すなわち、上記ステップS1～ステップS5までの処理を図2を例に挙げて純に説明すると、ステップS1において容量測定分解能が128kBに設定されると、ステップS2において先頭のアドレス"00000h"がセットされ、次のステップS3では当該アドレス"00000h"のメモリ上のデータd0を読み出して記憶する。次のステップS4では上記アドレス"00000h"から128kB分はなれたアドレス"200000h"を設定し、ステップS5では未だアドレス"4000000h"となっていないため、ステップS3に戻る。このときのステップS3では、上記アドレス"200000h"のメモリ上のデータd1を読み出して記憶する。以下同様に、128kB毎にメモリ上のデータd2, d3, ...を読み出して記憶してゆき、メモ리카ードの最大容量である64MB分に対応するアドレス"4000000h"まで、当該メモリから読み出すことができるアドレスのデータを読み出して記憶する。

【0021】上述のようにしてアドレス"4000000h"まで128kB毎にアドレスをセットしてゆき、読み出すことができるアドレスのデータを読み出して記憶した後は、ステップS6に進む。このステップS6では、上記128kB毎に読み出されて記憶した各データd0, d1, d2, ...に存在しない数値(データD1)を決定する。なお、このとき、上記128kB毎に読み出されて記憶したデータd0, d1, d2, ...がそれぞれ例えば8ビットのデータであり、この8ビットで表される全ての値が上記データd0, d1, d2, ...に含まれてしまうような場合、すなわち、8ビットでは上記データD1(存在しない数値)を決定できない場合には、上記データd0, d1, d2, ...の例えばそれぞれ隣のデータも合わせた16ビットで、上記存在しない数値を決定する。

【0022】次のステップS7では、上記データD1をメモリのアドレス"00000h"に書き込む。

10

20

30

40

50

【0023】次のステップS8とステップS9では、上記データD1が書き込まれたアドレスに128kB分のアドレスを加算し、このアドレスが”400000h”まで来たか否かの判断を行う。

【0024】上記ステップS9においてアドレスが”400000h”に達していないと判断した場合、ステップS11では上記128kB分が加算されたアドレスのメモリ上のデータを再度読み出し、次のステップS12では上記ステップS11で読み出したデータが上記データD1と一致するか否かの判断を行う。

【0025】このステップS12において上記ステップS11で読み出したデータが上記データD1と一致しないと判断した場合には、ステップS13において当該アドレスにデータD1を書き込み、次のステップS14では当該アドレスにデータD1が書き込まれたか否かの判断を行う。

【0026】このステップS14でデータD1が書き込まれたと判断したときには、ステップS8に戻る。

【0027】すなわち、上述したステップS6からステップS14までの処理では、上記128kB毎の上記データd0, d1, d2, ...が記録されていたメモリ上の領域に、これらとは異なるデータD1を順次書き込んでいくことが行われる。図2の例を用いて説明すると、例えばアドレス”00000h”にデータD1を書き込んだ後は、当該アドレス”00000h”から128kB分離れたアドレス”20000h”のメモリ上のデータd1を読み出し、このデータd1と上記データD1とを比較し、これらが一致しないと判断したときに、当該データD1をアドレス”20000h”に書き込む。以下同様に、128キロバイト離れた次のアドレスのデータを読み出し、上記データD1と比較し、上記データD1と一致しなければ当該データD1を書き込む処理を繰り返す。

【0028】上記ステップS8からステップS14のループにおいて、ステップS12でメモリ上から読み出したデータが上記データD1と一致したと判断したときには、ステップS15に進み、このステップS15において当該メモリ上から読み出したデータと上記データD1とが一致した現在のアドレスに対応する記憶領域の位置（メモリの先頭からの位置）から、当該メモリカードの容量を求めて、処理を終了する。

【0029】例えば、メモリカードの容量が上記512kBであったとすると、上記ステップS8からステップS14までのループを繰り返していくと、アドレスが”80000h”となったところで、メモリから読み出したデータと上記データD1とが一致することになる。したがって、当該アドレス”80000h”すなわちバイト数に換算した512kBが当該メモリカードの容量となる。

【0030】ここで、例えば、前述の従来例で述べた自

己のメモリ空間に関係ない上位アドレスもデコードするようなタイプのメモリカードの場合は、上述のような処理を行ってもアドレスの”80000h”から読み出したデータは上記データD1と一致しないことになるが、このメモリカードの場合、当該”80000h”のアドレスには新たにデータの書き込み（データD1の書き込み）ができないので、上記ステップS14にてノーと判断され、これによりステップS15に進んで当該メモリカードの容量はやはりアドレス”80000h”に対応する容量すなわち512kBが容量となる。

【0031】また、ステップS8で順次128kBのアドレス加算を行っていくメモリカードの容量判定の途中において、上記ステップS9でアドレスが”400000h”に達してしまったときには、ステップS10に進みカード自身が不良であるとして容量判定の処理を中止する。

【0032】さらに、上述した説明では、メモリカードの容量判定の際に、128kB毎のアドレスに先に書き込まれていたデータd1, d2, d3, ...を順次データD1に書き換えるようにしているが、これらデータd1, d2, d3, ...が必要なデータであるならば、これらデータを記憶しておいて、メモリカードの容量判定後にそれぞれを元のアドレスの記憶領域に書き込むようにすることも可能である。

【0033】次に、上述した本発明のメモリカードの容量判定方法を実現する本発明実施例の容量判定装置について、図3を用いて説明する。

【0034】すなわち、本実施例のメモリカードの容量判定装置は、図3に示すように、所定のアドレス間隔（例えば前述した128kBや16kB, 32kB, 64kB等）毎にアドレス情報を設定する測定分解能入力手段10及びアドレス設定部11と、上記アドレス設定部11で設定した所定のアドレス間隔毎のアドレス情報に基づいて被容量判定カード13のメモリカードのメモリ領域（例えばSRAM）からデータを読み出す読み出し手段としてのデータ読み出し制御回路29と、上記所定のアドレス毎に読み出したデータを記憶する読み出しデータメモリ14と、上記所定のアドレス間隔毎に上記読み出した全データ（前記d1, d2, d3, ...等）に出現しない特定データ（前記データD1）を設定する特定データ設定手段であるD1設定部15のD1決定回路25と、上記アドレス設定部11及びデータ読み出し制御回路29によって上記メモリ領域の所定のアドレス間隔毎に読み出されたデータを、順次D1記憶回路26に記憶された上記特定データD1と比較する比較手段としてのD1検出回路27と、上記D1検出回路27での比較において上記読み出したデータと上記特定データD1とが一致しないときには当該読み出しを行ったアドレスに上記D1記憶回路26に記憶された特定データD1を書き込む書き込み手段であるデータ書き込み制御

回路28と、上記D1検出回路27での比較において上記読み出したデータと上記特定データD1とが一致したときには当該読み出しを行ったアドレスに基づいてメモリカードの容量を判定すると共に、上記メモリ領域への上記特定データD1の書き込みを確認する確認手段であるD1書き込み確認回路30において上記特定データの書き込みが不能であると検出したときにも当該アドレスに基づいてメモリカードの容量を判定する判定手段であるカード容量判定回路18とを有することを特徴としている。

【0035】すなわちこの図3において、測定分解能入力手段10からは、前記ステップS1でのメモリカードの容量を測定する際の容量測定分解能が選択入力される。この容量測定分解能の入力は、例えばユーザがキー入力したり、或いは当該測定分解能入力手段10に予め設定されていた値が入力される。以下の説明では、前記128kBの分解能が入力されたとする。

【0036】上記測定分解能入力手段10からの容量測定分解能情報は、アドレス設定部11に送られる。

【0037】当該アドレス設定部11のアドレス加算回路21は、上記容量測定分解能情報が供給されると、その容量測定分解能に応じて例えば0, 128, 256, 384, ...のように、前記128kB毎に対応する加算情報を出力してアドレス生成回路23に送る。

【0038】当該アドレス生成回路23は、上記アドレス加算回路21からの最初の加算情報が入力されると、前記ステップS2のように先ず前記メモリカードである被容量判定カード13の例えばSRAMに対する先頭のアドレス"00000h"をセットし、このアドレス"00000h"を上記被容量判定カード13に送る。その後、当該アドレス生成回路23は、前記ステップS3のように上記アドレス加算回路21からの加算情報に応じて、前記128kB毎に対応するアドレスの情報を上記被容量判定カード13に送る。

【0039】また、上記アドレス生成回路23からのアドレスの情報は、アドレス最大値検出回路24にも送られ、当該アドレス最大値検出回路24では、前記ステップS5のように、上記アドレスの情報が例えば前記64MBに対応するアドレス"4000000h"となったか否かの検出を行う。このアドレス最大値検出回路24において64MBに対応するアドレスの最大値を検出すると、その検出出力はアドレスリセット回路22に送られる。

【0040】このアドレスリセット回路22では、上記検出出力が供給されると、アドレス生成回路23をリセットするアドレスリセット信号を出力する。これにより、アドレス生成回路23では、生成するアドレスが"00000h"にリセットされる。

【0041】また、上述のようにしてアドレスの情報が供給された被容量判定カード13は、データ読み出し制

御回路29によってデータ読み出し状態となされると共に、上記アドレス生成回路23からのアドレス情報に応じたSRAMの記憶領域からデータが読み出される。この被容量判定カード13から読み出されたデータは、読み出しデータメモリ14に送られ、前記ステップS3のように、このメモリ14に上記カード13から読み出されたデータが記憶される。

【0042】当該読み出しデータメモリ14に、上記128kBに対応するSRAMの記憶領域から読み出されたデータが全て格納されると、それら各データはD1設定部15のD1決定回路25に送られる。

【0043】当該D1決定回路25は、上記読み出しデータメモリ14から供給された各データを見て、前記ステップS6のように、前記データD1を決定する。このD1決定回路25で決定されたデータD1は、D1記憶回路26に送られて記憶される。

【0044】このD1記憶回路26に記憶された後に読み出されたデータD1は、書き込み/読み出し制御部16のデータ書き込み制御回路28に送られる。このデータ書き込み制御回路28は、上記データD1を上記被容量判定カード13に書き込むようにするが、このときカード13に対して上記アドレス生成回路23から供給されるアドレスは、前記リセット後のアドレス"00000h"となっており、したがって、上記データD1はステップS7のように当該アドレス"00000h"に書き込まれる。

【0045】上記アドレス"00000h"へのデータD1の書き込み後、アドレス生成回路23からは前記各128kB毎に対応するアドレスが順次供給される。このときの被容量判定カード13からは、データ読み出し制御回路29からの読み出し制御信号に基づいて、上記各128kB毎に対応するアドレスのデータが読み出され、この読み出しデータがD1検出回路27に送られる。

【0046】このD1検出回路27には上記D1記憶回路26からのデータD1が供給されている。したがって、当該D1検出回路27では、ステップS12のように上記カード13から読み出されたデータと上記データD1とを比較し、これらデータが一致しないときには、上記D1記憶回路26からデータD1を出力させることで、上記被容量判定カード13のSRAMの前記各128kB毎に対応するアドレスには順次データD1が書き込まれていくことになる。

【0047】上述のようにして被容量判定カード13にデータD1が順次書き込まれていくと共に、各128kB毎に対応するアドレスからのデータの読み出しを行ってゆき、上記D1検出回路27において被容量判定カード13から読み出されたデータが上記データD1と一致したことを検出すると、当該D1検出回路27からは当該一致した旨を示す情報が、カード容量判定回路18に

送られる。

【0048】カード容量判定回路18には、アドレス生成回路23からのアドレスの情報と、上記D1検出回路27から供給された上記一致した旨を示す情報とに基づいて、前記ステップS15のように、当該被容量判定カード13のカード容量を判定する。前述の図1の例では、512kBと判定する。

【0049】また、上記データ書き込み制御回路28からの書き込み制御信号と、上記D1記憶回路26からのデータD1は、D1書き込み確認回路30にも送られるようになっている。当該D1書き込み確認回路30ではこれら書き込み制御信号とデータD1とから被容量判定カード13へのデータD1の書き込みを確認するようにしており、カード13へのデータD1の書き込みができないときには、前記ステップS14のように、その旨の情報をカード容量判定回路18に送る。

【0050】さらに、カード容量判定回路18には、上記アドレス最大値検出回路24からのアドレス最大値の検出出力も供給されるようになっている。したがって、当該カード容量判定回路18は、前記ステップS9のように、被容量判定カード13のカード容量判定の途中において、アドレス生成回路23から出力されているアドレスが”4000000h”に達してしまったときには、当該被容量判定カード13自身が不良であるとして容量判定の処理を中止する。

【0051】その後、当該カード容量判定回路18は、例えば液晶表示装置等のカード容量表示手段17に対して、上記被容量判定カード13の容量が判定できたときにはそのカード容量を表示し、上記カード13が不良であるときにはその旨を表示する。

【0052】また、システムコントローラ12は、予め設定されたプログラムに従って各構成要素を制御する。

【0053】なお、図3の構成においても、被容量判定カード13のSRAMの128kB毎のアドレスに先に書き込まれていたデータd1, d2, d3, ...を順次データD1に書き換えるようにしているが、これらデータd1, d2, d3, ...が必要なデータであるならば、読み出しデータメモリ14に記憶しているこれらデータを、当該被容量判定カード13の容量判定後に、それぞれ元のアドレスの記憶領域に書き込むようにすることも可能である。

【0054】上述したようなことから、本実施例のメモリカードの容量判定方法及び装置においては、メモリカードの生産ライン等でカード属性情報が書かれていないカードを測定、検査する際に、作業者がカード容量を設定する必要がなくなり、省力化を図ることができる。また、メモリカードのユーザが使用するホストコンピュータに、本発明の容量判定方法の判定アルゴリズムを搭載することで、カード容量に関するカード属性情報を誤消去したカードであっても使用可能となる。

【0055】さらに、例えばコンピュータにおいては、通常、起動時に実装されているRAMの動作チェックを行い、そのメモリ容量を認識しているが、動作チェックを省略して、上述した本発明のメモリ容量判定方法で当該RAMのメモリ容量を認識すれば、起動時間を短縮できることになる。

【0056】

【発明の効果】上述のように本発明においては、メモリカード内の全メモリ空間をアクセスするのではなく、メモリカードのメモリ領域から所定のアドレス間隔毎にデータを読み出し、これら所定のアドレス間隔毎に読み出した全データに出現しない特定データを設定し、その後、メモリ領域の所定のアドレス間隔毎にデータを読み出して順次特定データと比較し、読み出したデータと特定データとが一致しないときにその読み出しを行ったアドレスに特定データを書き込んでいくようにする。これにより、読み出したデータと特定データとが一致したときのその読み出しを行ったアドレスは、メモリカードの容量と対応し、したがって、例えば、製造ライン上で未だカード属性情報を記録していないメモリカードや、ユーザが誤ってカード属性情報を消去してしまったメモリカードであっても、容易にかつ短時間にメモリ容量を判定可能である。

【図面の簡単な説明】

【図1】本発明のメモリカードの容量判定方法の処理の流れを示すフローチャートである。

【図2】メモリカードからデータを読み出す位置と特定データを書き込み位置とについて説明するための図である。

【図3】本発明実施例のメモリカードの容量判定装置の概略構成を示すブロック回路図である。

【図4】メモリカードの内部構成を簡単に示すブロック回路図である。

【図5】メモリカード内のメモリ領域の容量について説明するための図である。

【符号の説明】

- 10 測定分解能入力手段
- 11 アドレス設定部
- 12 システムコントローラ
- 13 被容量判定カード
- 14 読み出しデータメモリ
- 15 D1設定部
- 16 書き込み／読み出し制御部
- 17 カード容量表示手段
- 18 カード容量判定回路
- 21 アドレス加算回路
- 22 アドレスリセット回路
- 23 アドレス生成回路
- 24 アドレス最大値検出回路
- 25 D1決定回路

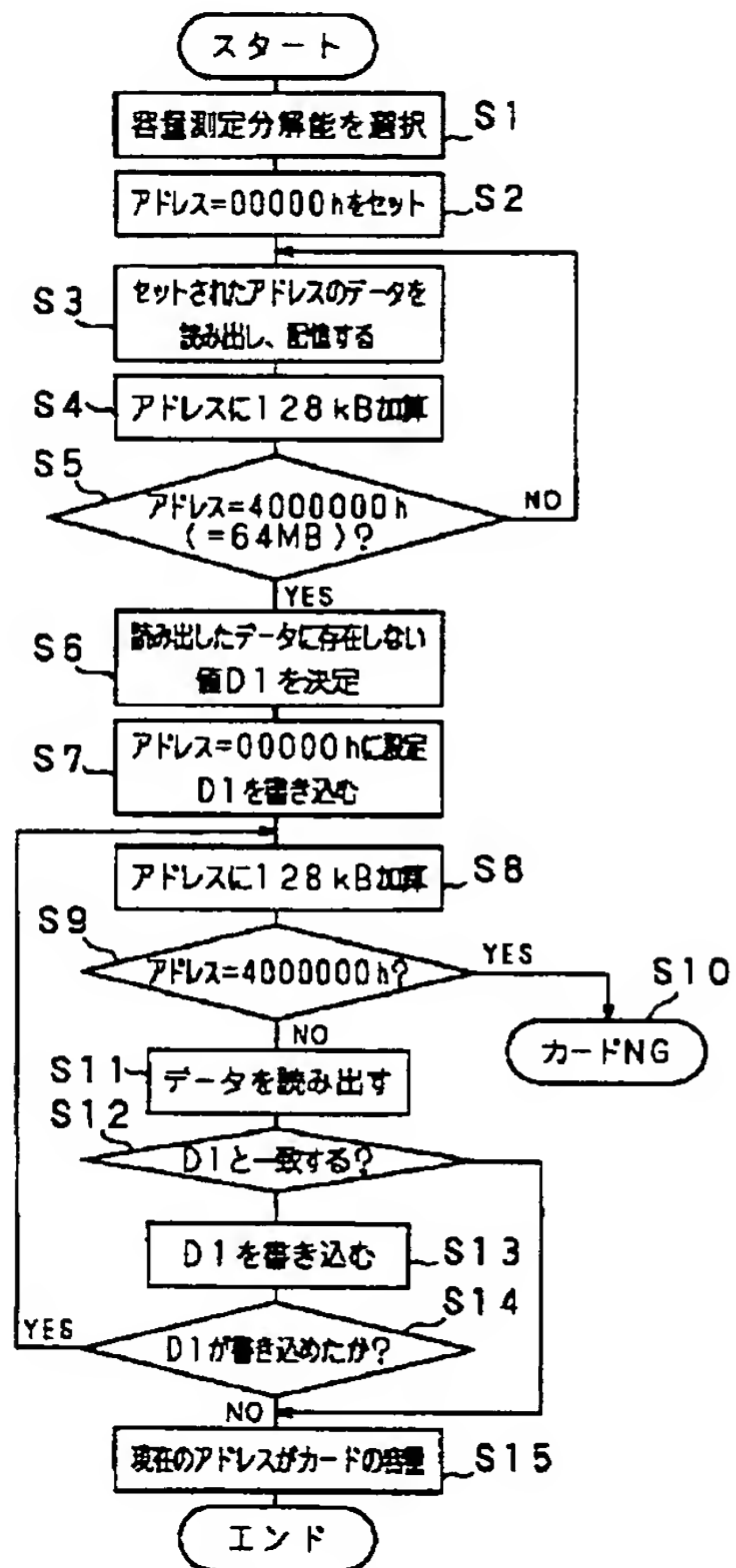
13

- 26 D1記憶回路
27 D1検出回路
28 データ書き込み制御回路

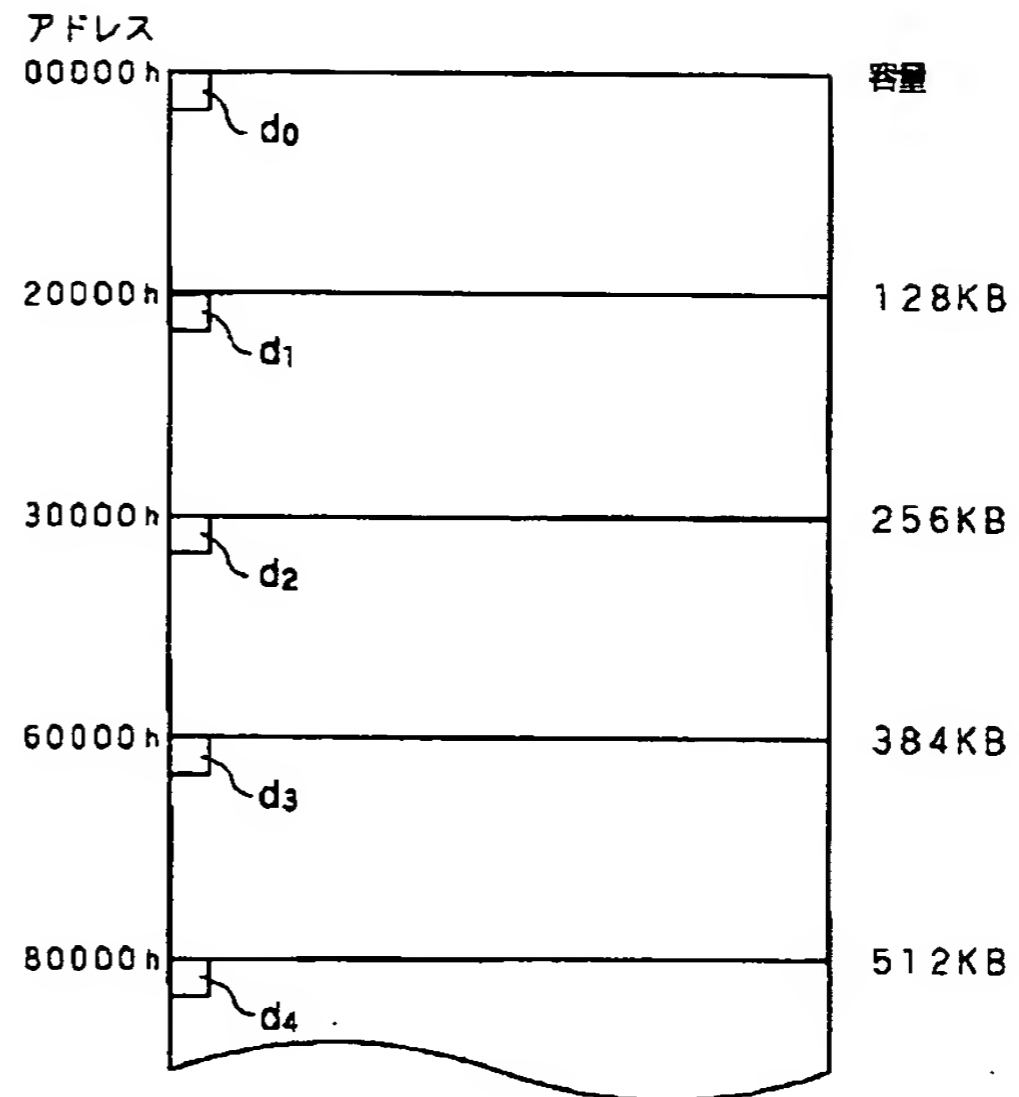
14

- 29 データ読み出し制御回路
30 D1書き込み確認回路

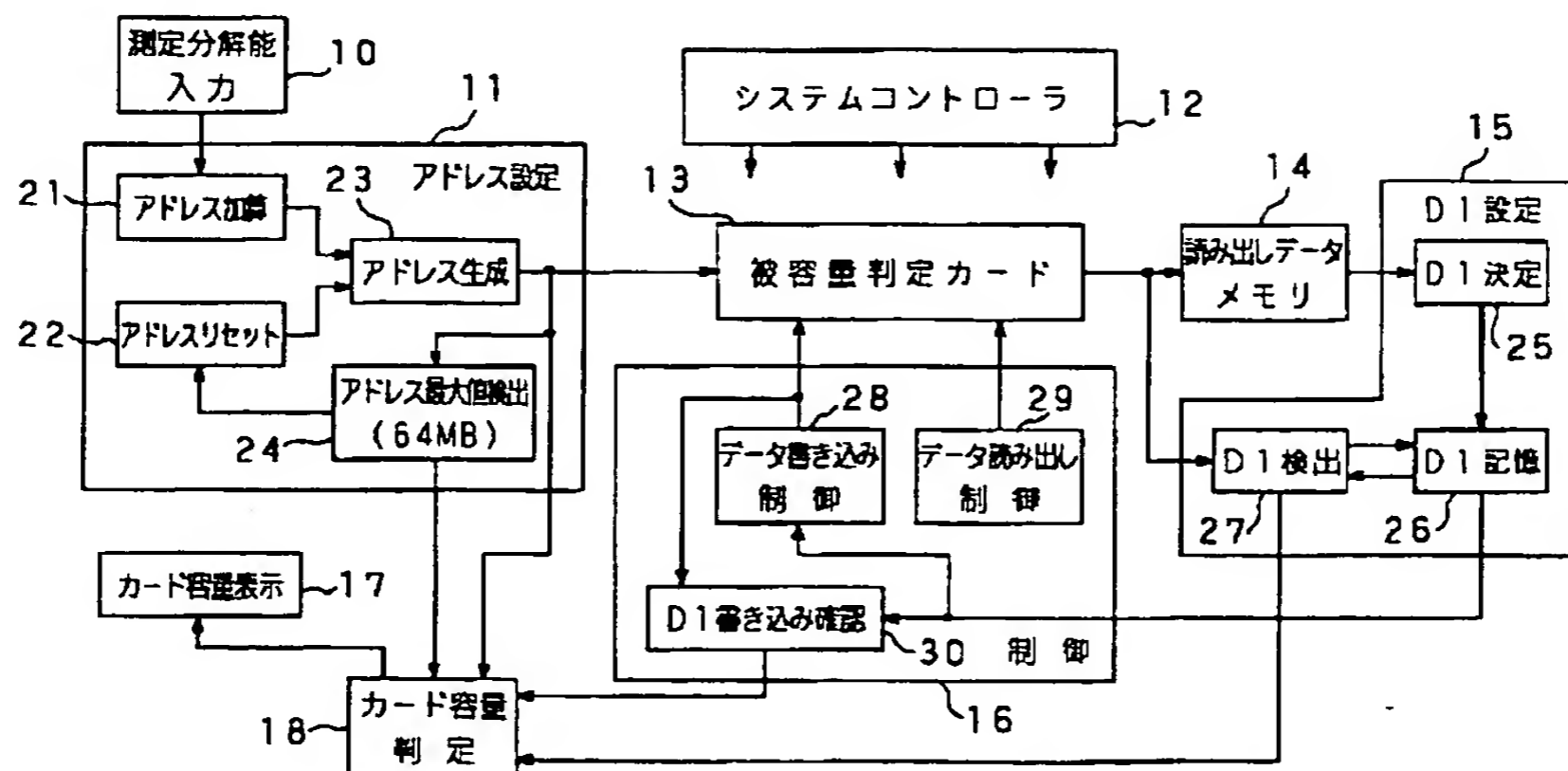
【図1】



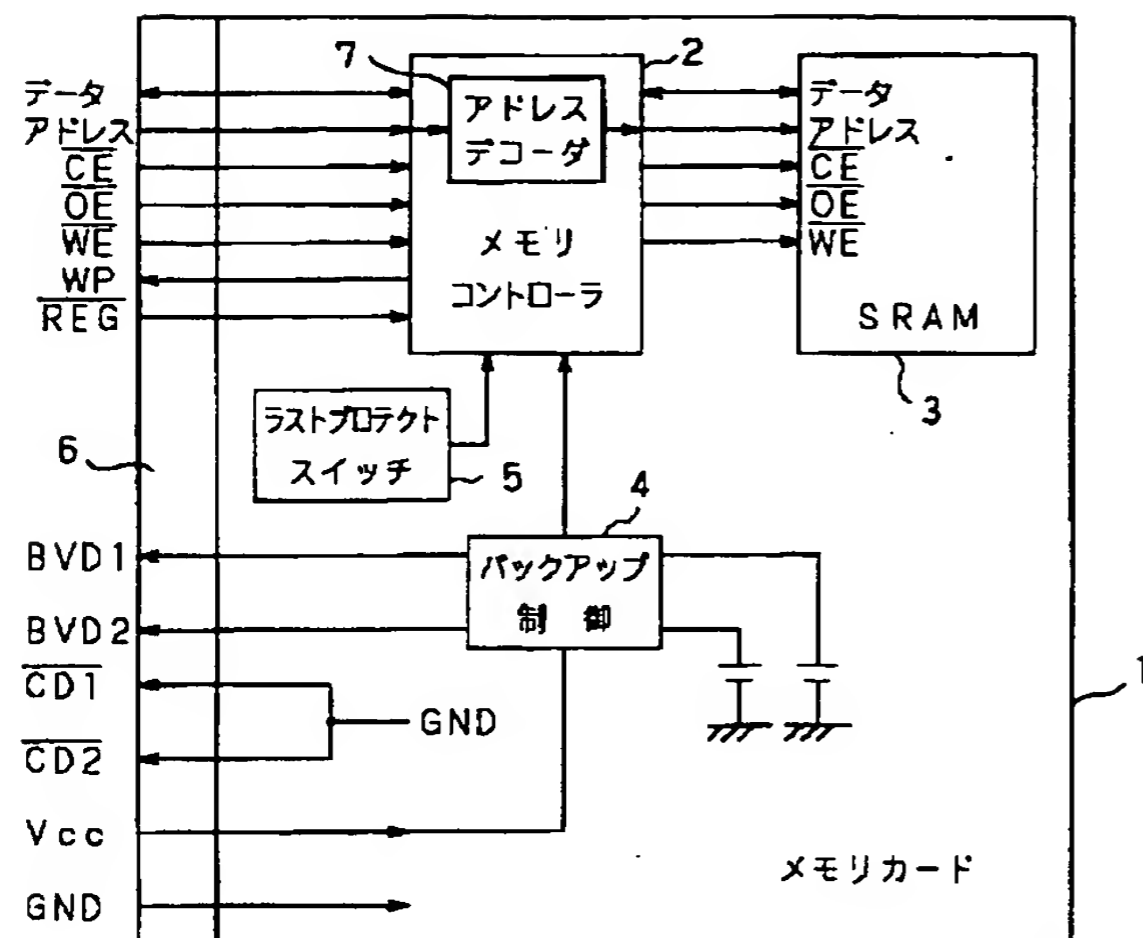
【図2】



【図3】



【図4】



【図5】

